

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-219922

(43)Date of publication of application : 11.08.1992

(51)Int.Cl.

H01L 21/20

C30B 1/04

H01L 21/84

(21)Application number : 02-413846

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.12.1990

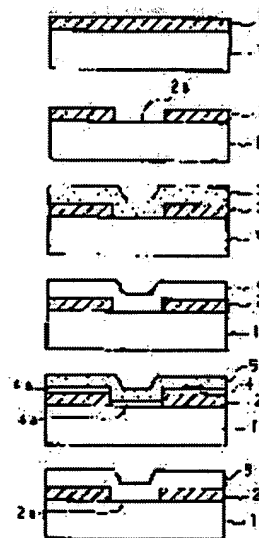
(72)Inventor : YAMAJI TOSHIFUMI
YONEDA KIYOSHI

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To improve the crystallinity of an epitaxially grown layer formed on a crystallized single-crystal semiconductor substrate of SOI(silicon on insulator), etc., with an insulating film in between.

CONSTITUTION: This semiconductor substrate manufacturing method is composed of a process for forming a solid-phase epitaxially grown layer 4 by annealing an amorphous silicon film 3 deposited on a single-crystal silicon substrate 1 in such a state where an insulating film 2 is formed between the film 3 and substrate 1 and part of the film 3 is brought into contact with the substrate 1 by using the single crystal on the surface of the substrate 1 as a seed, process for making the layer 4 amorphous by self-implantation at areas except the vicinities of the boundaries among the layer 4, insulating film 2, and substrate 1, and process for forming a longitudinal solid-phase epitaxially grown layer 6 by annealing the amorphous silicon film 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-219922

(43) 公開日 平成4年(1992)8月11日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		9171-4M		
C 3 0 B 1/04		0151-4G		
H 0 1 L 21/84		7739-4M		

審査請求 未請求 請求項の数1(全 4 頁)

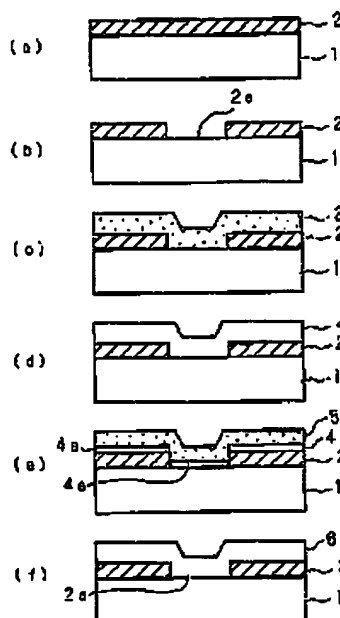
(21) 出願番号	特願平2-413846	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
(22) 出願日	平成2年(1990)12月19日	(72) 発明者	山路 敏文 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
		(72) 発明者	米田 清 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
		(74) 代理人	弁理士 河野 登夫

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【目的】 SOI(Silicon On Insulator) 等単結晶半導体基台上に絶縁膜を隔てて形成する固相エピタキシャル成長層の結晶性を改善する。

【構成】 単結晶シリコン基台1上に絶縁膜2を隔て、且つ一部を単結晶シリコン基台1と接触させた状態に堆積した非晶質シリコン膜3をアニール処理により単結晶シリコン基台1表面の単結晶をシードとして固相エピタキシャル成長させて固相エピタキシャル成長層4とする工程と、該固相エピタキシャル成長層4と絶縁膜2、単結晶シリコン基台1との境界近傍を除く領域の固相エピタキシャル成長層4をセルフインプランテーションにより非晶質化する工程と、非晶質化したシリコン膜5にアニール処理を施して縦方向固相エピタキシャル成長させて固相エピタキシャル成長層6を形成する工程とを有する。



(2)

特開平4-219922

1

2

【特許請求の範囲】

【請求項1】 単結晶半導体基台の表面に絶縁膜を形成する工程と、絶縁膜の一部を除去して単結晶半導体基台の表面を露出させる工程と、前記絶縁膜及び露出した単結晶半導体基台表面に非晶質半導体膜を形成する工程と、この非晶質半導体膜をアニール処理して固相エピタキシャル成長層とする工程とを含む半導体基板の製造方法において、前記固相エピタキシャル成長層を、これと絶縁膜との境界近傍を除いてセルフインプラントーションにより非晶質化させる工程と、非晶質化した半導体膜をアニール処理し、前記絶縁膜との境界に残した固相エピタキシャル成長層をシードとして縦方向固相エピタキシャル成長させて単結晶半導体膜を形成する工程とを含むことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は単結晶シリコン (Si) 基台上に絶縁膜を隔てて単結晶シリコン膜を形成する、所謂SOI (Silicon On Insulator) 技術による半導体基板の製造方法に関する。

【0002】

【従来の技術】 SOI 技術は絶縁膜による素子間分離が容易で三次元素子への応用が可能であること、CMOSにおけるラッチ・アップがないこと、高集積化が容易であること、接合容量、配線容量を低減出来て、低消費電力で高速動作が期待出来る等の優れた特性を備えており、従来より種々の技術が提案されている。このようなSOI 技術の一つとして単結晶シリコン基台の一部と接触した状態で、絶縁膜上に非晶質又は多結晶膜を形成した後、アニール処理によって単結晶シリコン基台の表面をシードとして前記非晶質、又は多結晶膜を単結晶化して単結晶シリコン膜を形成する技術が知られている。

【0003】 図3は従来のSOI 技術による半導体基板の製造過程を示す主要工程図である。先ず図3(a)に示す如く単結晶シリコン基台1の表面に熱酸化法、或いはCVD法等により SiO_2 からなる絶縁膜2を形成した後、フォトリソグラフィ技術によって絶縁膜2の一部に単結晶シリコン基台1の表面が露出する窓孔2aを形成する(図3(b))。次にこの絶縁膜2の表面、及び窓孔2a内に露出している単結晶シリコン基台1の表面にわたって非晶質シリコン膜3を堆積した後(図3(c))、600℃程度でアニール処理を行い、窓孔2a内に露出している単結晶シリコン基台1の表面をシードとして、先ず窓孔2a内で縦方向固相エピタキシャル成長を行い、引き続いて窓孔2a上から絶縁膜2上に向けて横方向固相エピタキシャル成長を行って非晶質シリコン膜3を単結晶化して図3(d)に示す如き固相エピタキシャル成長層4を形成し、半導体基板を得る。

【0004】

【発明が解決しようとする課題】 ところでこのような従

10

20

30

40

50

来方法によって製造された半導体基板における固相エピタキシャル成長層4の結晶性が低く、所望の特性を持つ半導体素子を得難いという問題があった。図4は単結晶シリコン基台1、 SiO_2 からなる絶縁膜2、固相エピタキシャル成長層4の境界部分を窓孔2aの中心から片側について示す透過型電子顕微鏡(TEM) 写真(1万倍)を示す図である(参考写真2参照)。この図4から明らかな如く、横方向固相エピタキシャル成長させた絶縁膜2上の固相エピタキシャル成長層4の結晶性は窓孔2a位置から遠く離れるに従って結晶性が悪化していることが解る。ただ、固相エピタキシャル成長層4と絶縁膜2との境界部分は、良好な結晶性が得られている。図5は固相エピタキシャル成長層4と絶縁膜2との境界部分を示す透過型電子顕微鏡写真(900万倍)を示す図(参考写真3参照)であり、これから明らかな如く、固相エピタキシャル成長層4と絶縁膜2との境界近傍においては固相エピタキシャル成長層4の結晶性は良好であることが解る。本発明はかかる事情に鑑みなされたものであって、その目的とするところは絶縁膜上に横方向固相エピタキシャル成長により形成する単結晶半導体膜の結晶性を改善し、電気的特性の良好な半導体基板を製造する方法を提供するにある。

【0005】

【課題を解決するための手段】 本発明に係る半導体基板の製造方法は、単結晶半導体基台の表面に絶縁膜を形成する工程と、絶縁膜の一部を除去して単結晶半導体基台の表面を露出させる工程と、前記絶縁膜及び露出した単結晶半導体基台表面に非晶質半導体膜を形成する工程と、この非晶質半導体膜をアニール処理して固相エピタキシャル成長層とする工程とを含む半導体基板の製造方法において、前記固相エピタキシャル成長層を、これと絶縁膜との境界近傍を除いてセルフインプラントーションにより非晶質化させる工程と、非晶質化した半導体膜をアニール処理し、前記絶縁膜との境界に残した固相エピタキシャル成長層をシードとして縦方向固相エピタキシャル成長させて単結晶半導体膜を形成する工程とを含むことを特徴とする。

【0006】

【作用】 本発明方法にあっては固相エピタキシャル成長により形成した固相エピタキシャル成長層に対して絶縁膜との境界近傍の良好な結晶領域を除く領域にセルフインプラントーションを施してこの領域を非晶質化し、再度のアニール処理にて残された結晶性の良好な領域の固相エピタキシャル成長層をシードとして、縦方向固相エピタキシャル成長を行わせて、結晶性を改善することが可能となる。

【0007】

【実施例】 以下本発明をその実施例を示す図面に基づいて具体的に説明する。図1は本発明方法の主要製造工程を示す模式的断面図であり、図中1は単結晶シリコン(S

(3)

特開平4-219922

3

1) 基台、2は SiO_2 膜等の絶縁膜を示している。先ず図1(a)に示す如く単結晶シリコン基台1上にCVD法、或いは熱酸化法により SiO_2 膜からなる絶縁膜2を形成し、次にフォトリソグラフィ技術等を利用して絶縁膜2に、前記単結晶シリコン基台1の表面が露出する窓孔2aを形成する(図1(b))。

【0008】次にこの絶縁膜2の表面及び前記窓孔2a内に露出する単結晶シリコン基台1の表面に、基板温度550℃で Si_3H_8 ガスを用いて非晶質シリコン膜3を堆積させる(図1(c))。この状態で600℃の N_2 ガス雰囲気中でアニール処理を行い、窓孔2aに露出する単結晶シリコン基台1の単結晶シリコンをシードとして非晶質シリコン膜3を縦方向固相エピタキシャル成長させ、次いで横方向固相エピタキシャル成長させて固相エピタキシャル成長層4を形成する(図1(d))。

【0009】成長させた固相エピタキシャル成長層4は前述した如く結晶性が不良であるが、絶縁膜2及び窓孔2a内に露出する単結晶シリコン基台1との境界近傍では良好な単結晶化がなされている。

【0010】そこで固相エピタキシャル成長層4に、これと単結晶シリコン基台1、絶縁膜2との境界近傍を除いて表面側からシリコンイオンを打ち込む、所謂セルフインプラントーションを施す(図1(e))。これによって図1(e)に示す如く境界近傍には固相エピタキシャル成長領域4aが残り、他の部分が再び非晶質化せしめられて非晶質シリコン膜5となる。この非晶質シリコン膜5に再びアニール処理を行って、固相エピタキシャル成長領域4aの良好な結晶をシードとして縦方向固相エピタキシャル成長させ、単結晶半導体膜たる固相エピタキシャル成長層6を得る。

【0011】図2は前述した如き本発明方法により製作した半導体基板における単結晶シリコン基台1、絶縁膜2及び固相エピタキシャル成長層6の境界近傍の電子顕微鏡写真(100万倍)を示す図(参考写真1参照)である。図2、図4の対比から明らかなように固相エピタキ

10

20

30

シャル成長層6の結晶性は固相エピタキシャル成長層4の結晶性と比較して格段に向上していることが解る。なお上述の実施例は単結晶シリコン基台1上に絶縁膜2を隔ててシリコンの固相エピタキシャル成長層6を形成する場合について説明したが、これに限らずGaAs等他の各種半導体材料についても適用し得ることは言うまでもない。

【0012】

【発明の効果】以上の如く本発明方法にあっては固相エピタキシャル成長層に対し、絶縁膜との境界近傍の領域を除く領域にセルフインプラントーションを行って非晶質化した後、再度アニール処理し、絶縁膜との境界近傍の結晶性の良好な領域をシードとして縦方向固相エピタキシャル成長することにより良好な結晶性を有する単結晶半導体膜が得られ半導体基板の特性が安定する等、本発明は優れた効果を奏するものである。

【図面の簡単な説明】

【図1】本発明方法の主要製造工程を示す工程説明図である。

【図2】本発明方法により製造した半導体基板の顕微鏡写真を示す図である。

【図3】従来方法の主要製造工程を示す工程説明図である。

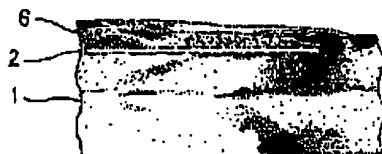
【図4】従来方法により製造した半導体基板の顕微鏡写真を示す図である。

【図5】固相エピタキシャル成長層と絶縁膜との境界近傍の顕微鏡写真を示す図である。

【符号の説明】

- 1 単結晶シリコン基台
- 2 絶縁膜
- 3 非晶質シリコン膜
- 4 固相エピタキシャル成長層
- 5 非晶質シリコン膜
- 6 固相エピタキシャル成長層

【図2】



【図4】

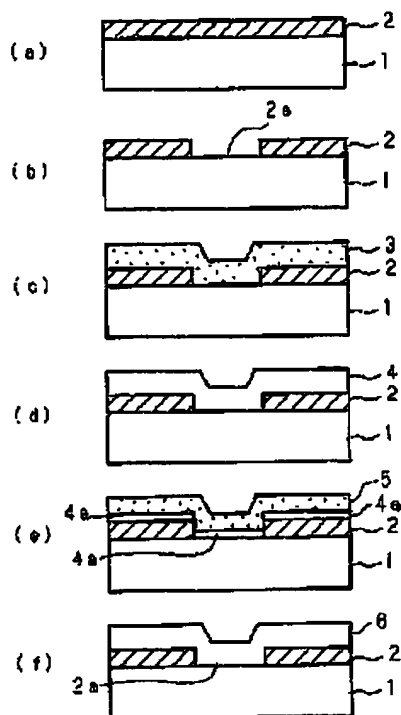


BEST AVAILABLE COPY

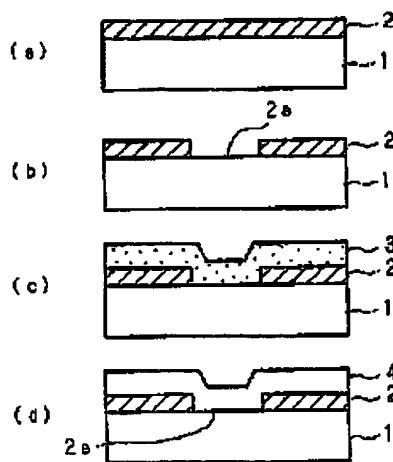
(4)

特開平4-219922

【図1】



【図3】



【図5】



BEST AVAILABLE COPY